

(19) 日本国特許庁 (JP)

## (12) 公表特許公報 (A)

(11) 特許出願公表番号  
特表2003-503858  
(P2003-503858A)

(43) 公表日 平成15年1月28日 (2003.1.28)

(51) Int.Cl. <sup>1</sup>	識別記号	F I	特許出願 (参考)
H 0 1 S 5/022		H 0 1 S 5/022	2 H 0 3 7
G 0 2 B 6/42		G 0 2 B 6/42	5 F 0 7 3
H 0 1 L 31/02		H 0 1 S 5/183	5 F 0 8 8
H 0 1 S 5/183		H 0 1 L 31/02	B
審査請求 有 予備審査請求 有 (全 21 頁)			

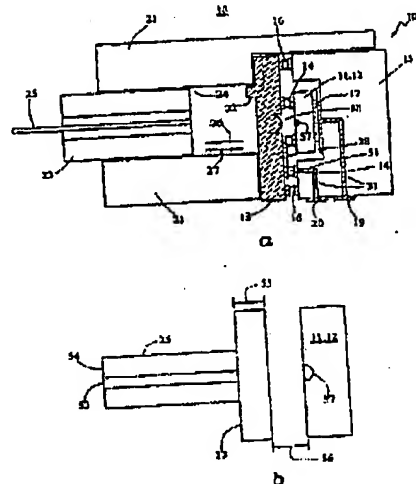
(21) 出願番号 特願2001-506823(P2001-506823)  
 (86) (22) 出願日 平成12年6月29日 (2000.6.29)  
 (85) 翻訳文提出日 平成13年12月28日 (2001.12.28)  
 (86) 国際出願番号 PCT/US 00/18004  
 (87) 国際公開番号 WO 01/001497  
 (87) 国際公開日 平成13年1月4日 (2001.1.4)  
 (31) 優先権主張番号 09/342,801  
 (32) 優先日 平成11年6月29日 (1999.6.29)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 ハネウェル・インコーポレーテッド  
 アメリカ合衆国ニュージャージー州07982  
 -2245, モーリスタウン, コロンビア・ロ  
 ード 101, ビー・オー・ボックス 2245  
 (72) 発明者 ジョンソン, クライン・エル  
 アメリカ合衆国ミネソタ州55116, セン  
 ト・ポール, ハイランド・パークウェイ  
 2227  
 (74) 代理人 弁理士 社本 一夫 (外5名)  
 Fターム(参考) 2H037 AA01 BA03 BA12 DA06  
 5F073 AB17 AB25 AB28 FA07 FA15  
 FA18 FA28  
 5F088 BA11 JA03 JA06 JA09 JA11  
 JA14 JA18 JA20

(54) 【発明の名称】 光子デバイス用気密形チップスケールパッケージ

## (57) 【要約】

気密に密封されたエンクロージャ内に1つ又はそれ以上の集積回路光子デバイスを有するパッケージ。光子デバイスは、光源でも光検知器でもよい。密封されたエンクロージャは、第1レベルのハウジングに取り付けられた透明なウインドウから構成される。透明なウインドウは、パターンが形成されたウインドウに結合される半導体に対し電気信号を運ぶためパターンが形成された導電トレースを含む。第2レベルのハウジングは第1レベルのハウジングに取り付けられ、透明なウインドウに組み入れられる機械的機構を介して整列する。第2レベルのハウジングは、レセプタクルに挿入されると光子デバイスは、光導波管又は光ファイバーを有するプラグと整列する。集積回路セミコンダクタ上にVCSSELのような気密密封された光子デバイスに対してレセプタクル内のプラグを固定するために、1つ又はそれ以上のピンが、プラグと第2レベルハウジングを連結して挿入される。



(2)

特表2003-503858

**【特許請求の範囲】**

**【請求項1】** ウINDOWと、  
前記WINDOWに固定されたチップと、  
前記チップを覆うように前記WINDOW上に形成されたエンクロージャと、を  
含む光子デバイス用のチップスケールパッケージ。

**【請求項2】** 前記チップは、前記WINDOW及びエンクロージャにより気  
密密封される請求項1のパッケージ。

**【請求項3】** 前記カバーは、シール型材料により前記WINDOWにウイン  
ドウの周辺部で密封接合される請求項2のパッケージ。

**【請求項4】** 前記WINDOWは、少なくとも1つの導電性トレースを有す  
る請求項3のパッケージ。

**【請求項5】** 前記チップは、光子デバイスを含む請求項4のパッケージ。

**【請求項6】** 前記チップは、前記少なくとも1つの導電性トレースに接続  
される請求項5のパッケージ。

**【請求項7】** 前記WINDOWの周りに形成されるハウジングを更に含む請  
求項6のパッケージ。

**【請求項8】** 前記WINDOWに向かって配置される少なくとも1つの光フ  
ァイバーを有するフェルールを更に含む請求項7のパッケージ。

**【請求項9】** 前記WINDOW上に形成されるレンズを更に含む請求項8の  
パッケージ。

**【請求項10】** 前記フェルールは、前記ハウジングにより形成される開口  
に差し込まれる請求項9のパッケージ。

**【請求項11】** 前記ファイバーからの光が光ファイバーとWINDOWを通  
り抜けて光子デバイスまで届くように、そして前記光子デバイスからの光が前記  
WINDOWと前記少なくとも1つの光ファイバーを通り抜けられるように、前記  
光ファイバーが前記WINDOWの近傍にある請求項10のパッケージ。

**【請求項12】** 第1のハウジングと、  
前記第1のハウジングに取り付けられたチップと、  
前記第1のハウジングに取り付けられたWINDOWと、を含む光子デバイス用

(3)

特表2003-503858

のチップスケールパッケージ。

【請求項13】 前記ウインドウ上に形成される少なくとも1つの導電性トレースを更に含み、前記少なくとも1つの導電性トレースは、前記チップ及びパッドに接続される請求項12のパッケージ。

【請求項14】 前記第1のハウジングと前記ウインドウは、前記チップを包含する気密密封される容積を形成する請求項13のパッケージ。

【請求項15】 前記パッドは前記密封された容積に対し外方に配置される請求項14のパッケージ。

【請求項16】 前記第1のハウジングに取り付けられる第2のハウジングを更に含む請求項15のパッケージ。

【請求項17】 前記チップは、少なくとも1つの光子デバイスを有する請求項16のパッケージ。

【請求項18】 少なくとも1つの光学導波管を有するフェルールを更に含む請求項17のパッケージ。

【請求項19】 前記フェルールは前記第2のハウジングの一部分に差し込まれる請求項18のパッケージ。

【請求項20】 前記少なくとも1つの光学導波管は、前記フェルールが前記第2のハウジングの前記一部分に差し込まれると、前記少なくとも1つの光子デバイスと整列する請求項19のパッケージ。

【請求項21】 前記フェルールを前記第2のハウジングの前記一部分内の差し込み位置に保持するためのピンを更に含む請求項20のパッケージ。

【請求項22】 前記ウインドウは、前記少なくとも1つの光子デバイスと光学導波管との間に配置された少なくとも1つのレンズを有する請求項21のパッケージ。

【請求項23】 前記少なくとも1つの光学導波管は光ファイバーである請求項22のパッケージ。

【請求項24】 第1のハウジングと、  
前記第1のハウジング内に取り付けられた集積回路と、  
前記第1のハウジング上に設けられたウインドウと、を備え、

(4)

特表2003-503858

前記集積回路は少なくとも1つの光子デバイスを有しており、  
前記第1のハウジングとウインドウは、前記集積回路の周りに気密密封される  
エンクロージャを形成する気密形チップスケールパッケージ。

【請求項25】 前記ウインドウは、前記集積回路に接続される少なくとも  
1つの導電性トレースを含む請求項24のパッケージ。

【請求項26】 前記気密密封されたエンクロージャの外側に接続部を設け  
るために、前記少なくとも1つの導電性トレースに接続される導体を含む請求項  
25のパッケージ。

【請求項27】 一方の端に前記ウインドウを配置したレセプタクルを更に  
含み、前記レセプタクルは少なくとも1つの整列機構を有する請求項26のパッ  
ケージ。

【請求項26】 少なくとも1つの光学導波管を有するプラグを更に含み、  
前記少なくとも1つの光学導波管の一方の端が前記ウインドウの近傍に適切に配  
置されるように、前記プラグは前記レセプタクルに嵌り、前記少なくとも1つの  
整列機構と整列する請求項25のパッケージ。

【請求項27】 前記少なくとも1つの光学導波管の一方の端が、前記少な  
くとも1つの光子デバイスと整列する請求項26のパッケージ。

【請求項28】 前記プラグを前記レセプタクル内に固定する少なくとも1  
つのピンを更に含む請求項27のパッケージ。

【請求項29】 前記少なくとも1つの光子デバイスは、VCSELである  
請求項28のパッケージ。

【請求項30】 前記第1のハウジングはセラミックから成り、前記ウイン  
ドウは石英から成る請求項29のパッケージ。

【請求項31】 少なくとも1つの導電性トレースが表面にパターン形成さ  
れた透明なウインドウと、

前記少なくとも1つの導電性トレースに接続された少なくとも1つの端子を有  
する、前記ウインドウ上に固定された半導体チップと、

前記チップを取り巻き前記ウインドウに固着されたエンクロージャと、

前記少なくとも1つの導電性トレースから前記エンクロージャの外面上の少な

(5)

特表2003-503858

くとも1つのパッドまでの導電路と、を含む電子デバイス用のチップスケールパッケージ。

【請求項32】 前記チップは、光子デバイスを含む請求項31のパッケージ。

【請求項33】 前記ウインドウは、整列のために前記ウインドウの表面上に少なくとも1つの機構を有する請求項32のパッケージ。

【請求項34】 前記導電路は、その一部が前記エンクロージャに埋め込まれる請求項32のパッケージ。

【請求項35】 前記導電路は、前記エンクロージャの外面上のパッドに接続される請求項34のパッケージ。

【請求項36】 前記エンクロージャは、前記ウインドウ上の少なくとも1つの前記導電トレースに接続される少なくとも1つのパッドを有する請求項35のパッケージ。

【請求項37】 前記エンクロージャは、前記ウインドウの周辺で前記ウインドウに密封接合される請求項36のパッケージ。

【請求項38】 前記エンクロージャは、はんだ型の材料により、前記ウインドウの周辺で前記ウインドウに密封接合される請求項37のパッケージ。

【請求項39】 前記エンクロージャは、接着剤型の材料により、前記ウインドウの周辺で前記ウインドウに密封接合される請求項37のパッケージ。

【請求項40】 前記チップは、前記ウインドウ及びエンクロージャにより気密密封される請求項37のパッケージ。

【請求項41】 前記チップは、前記ウインドウ及びエンクロージャにより環境的に密封される請求項37のパッケージ。

【請求項42】 前記ウインドウは、前記ウインドウの表面上に少なくとも1つの屈折光学要素を有する請求項40のパッケージ。

【請求項43】 前記ウインドウは、前記ウインドウの表面上に少なくとも1つの屈折光学要素を有する請求項41のパッケージ。

【請求項44】 前記ウインドウは、前記ウインドウの表面上に少なくとも1つの回折光学要素を有する請求項40のパッケージ。

(6)

特表2003-503858

【請求項45】 前記ウインドウは、前記ウインドウの表面上に少なくとも1つの回折光学要素を有する請求項41のパッケージ。

【請求項46】 前記エンクロージャに取り付けられるハウジングを更に含む請求項33のパッケージ。

【請求項47】 前記ハウジングは、前記ウインドウの表面上の少なくとも1つの機構により、前記エンクロージャに対して機械的に位置合わせされる請求項46のパッケージ。

【請求項48】 少なくとも1つの光学導波管を有するフェルルールを更に含む請求項47のパッケージ。

【請求項49】 前記光学導波管からの光が前記ウインドウを通り抜けて少なくとも1つの光子デバイスまで届くように、そして前記光子デバイスからの光が前記ウインドウを通り抜けて前記少なくとも1つの光学導波管に届くように、前記少なくとも1つの光学導波管は前記ウインドウの近傍にある請求項48のパッケージ。

【請求項50】 前記ウインドウは、前記少なくとも1つの光子デバイスと光学導波管の間に配置される少なくとも1つのレンズを有する請求項49のパッケージ。

【請求項51】 前記少なくとも1つの光学導波管は光ファイバーである請求項50のパッケージ。

【請求項52】 前記フェルルールを前記エンクロージャに固定するための少なくとも1つのピンを更に含む請求項49のパッケージ。

【請求項53】 前記少なくとも1つの光子デバイスはVCSELである請求項32のパッケージ。

【請求項54】 前記エンクロージャはセラミックから成る請求項31のパッケージ。

【請求項55】 前記ウインドウは石英を含む請求項31のパッケージ。

(7)

特表2003-503858

## 【発明の詳細な説明】

## 【0001】

## 【発明の背景】

光子デバイスへの光学的結合及び電氣的接続、特に単一チップ上の前記結合や接続のアレーは、環境の影響、電氣的渦流 (electrical parasitics)、機械的な不整合を被りやすい。これらの問題を有効に解消するとともに、耐衝撃性に優れコンパクトで高性能且つ信頼性のあるシステムを提供するために役立つ適切なパッケージングの取り組みはないようである。

## 【0002】

## 【発明の概要】

本発明は、電氣的にパターンが形成された透明なウインドウ上のバンプボンディング (bump bonding: 隆起結合) を介した光学エミッタ及び/又は検出器の気密パッケージングにある。本発明は、同時に、密封収納即ち気密性、及び V C S E L 又は検出器への光学的結合を、アレー (配列) 又は単一デバイスとして提供するものである。これらのデバイスは、ガリウム砒素化合物のような半導体から作られる。環境に敏感なデバイスには、しばしば気密性が必要とされる。このような密封形アレーパッケージは知られていない。

## 【0003】

半導体は、導電性トレースでパターンが形成されたウインドウにバンプボンディングされるが、ウインドウ自体は周辺がセラミック又は同様のパッケージに密封接合される。例えば、密封されたキャビティの外にある、インピーダンスが制御された多層型トレースへの電氣的接続は、セラミックパッケージ内で行われる。ウインドウは、パッケージに入出する際の光学的連結を改良するために屈折レンズ又は回折レンズを備える。

## 【0004】

光学デバイス及びこれに相当するレンズは、1次元アレーの形態でも2次元アレーの形態でもよい。デバイスのアレーに光学的に接続されるファイバーは、デバイスに出入りする光を伝達するための多数のファイバーを有するリボン又はコードの形態であってもよい。光学デバイスが中に入った第1レベルのパッケージ

(8)

特表2003-503858

を覆う第2レベルのパッケージを受動的又は半能動的に整列させるため、機械的な機構が設けられる。

**【0005】**

パッケージは光学バックプレーンと共に利用される。この取り組みは、精密な光学連結整列、機械的頑強性、コンパクトさ、光学的及び電氣的な絶縁性、非常に低い寄生特性、高速性能、周囲環境の水分、湿気及びその他の不要な汚染物質からの保護、デバイスの信頼性、及び製作上の有利性を提供する。

**【0006】****【実施例の説明】**

図1aは、光子デバイス用の気密性チップスケールパッケージ10を示す。VCSEL11及び/又は検出器12の線形又は2次元アレーへの機密的且つ効果的な光学的連結を実現するために、VCSEL又は検出器を含んでいる半導体のダイは、一部金属被覆されたウインドウ13に導電性バンプ14でバンプ接着される。

**【0007】**

ウインドウの金属被覆28は、Cr、Pt、Au、Ti、Cu、ITO、又はNiの組み合わせを、スパッタリング、蒸着、又はめっきにより形成したものである。ウインドウ13も周囲が、気密性はんだシール16を使って、多層セラミックパッケージ15に密封接合され、同時にチップ対ウインドウの電氣的接続が導電性バンプ14で形成される。チップ11、12は、電氣的及び/又は熱的接続部17を介してセラミックパッケージ15に取り付けられる。チップ11、12は、デバイス10の周囲環境18から気密密封される。

**【0008】**

電気接続部17はチップ11、12に接続され、且つ導電路31を介して外部パッド19に接続される。バンプ14のパッドも、チップ11、12からパッド51への導電トレース28を介して電気経路31に接続されており、これにより経路31を経由して外部の電氣的接続パッド20に接続される。光学的連結の効率改善を促進するために、屈折及び/又は回折光学要素58が、ウインドウの表面にエッチング加工されるか又は蒸着される。ここまで説明してきたパッケージ



(9)

特表2003-503858

は第1レベルのパッケージである。

**【0009】**

第2レベルのパッケージは、ハウジング21であり、気密シール内にチップ11、12を包んでいる第1レベルのパッケージ上にこれを取り囲んで嵌め込まれている。ハウジング21は、ウインドウ13上の1つ又はそれ以上のキー22と機械的に整列している。フェルール（はばき金）23は、ハウジング21内に挿入され、フェールの縁24と単一又は複数のキー22がぶつかる位置まで滑動できるようになっている。

**【0010】**

フェルール23には、単一又は複数のファイバー25が設けられ、これらファイバーは、VCSEL11からの光信号26及び／又は検出器12への光信号27を伝達する。ハウジング21は、にかわ、接着剤、又はエポキシを使って第1レベルのハウジングに固定される。フェルール23が完全にハウジング21に挿入された後、フェルール23は、定位置に接着してもよいし、しなくともよい。

**【0011】**

図1bは、ファイバー25と光子デバイス11、12との間の光学的連結をより詳しく示す図である。光はファイバー25のコア部53を通して出入りする。クラッド（被覆材）54はガラスコア部53を覆って保護している。クラッドは、光をコア部53内に閉じ込めるような屈折率を有する。ファイバー25は、ウインドウ13に突き合わせられる。ウインドウ13は、厚さ55が凡そ25から250ミクロンの範囲にある。ウインドウ13の材料の屈折率は、約1.52である。この屈折率は、パッケージ10の具体的な設計により変わる。ウインドウ13とデバイス11、12の発光部又は感知部の間には、約25ミクロンの隙間56がある。

**【0012】**

図2aは、ウインドウ13の上に第1レベルのハウジング15がはんだシール16により接着される状態を示す。光信号源11又は検出器12は、ウインドウ13の表面上の導電性又は金属のトレース28及びチップ11、12上の金属端子29を介して、はんだバンプ14により、透明なウインドウ13の表面にバン

(10)

特表2003-503858

ブ接着される。

#### 【0013】

金属被覆ストリップ28は、横方向寸法が20から50ミクロンで、厚さは5ミクロン未満である。チップ11、12は、普通3から8ミリの間にある。ウィンドウ13は、石英又はサファイアのような材料で構成される。はんだリング16は、すずを鉛、金、又は銀と組み合わせて作られる。はんだバンパ14は、すずを鉛、金、又は銀と組み合わせて作られる。

#### 【0014】

図2bは、光学デバイス11、12を有するハウジングを示しており、電気的接続点58は、導電ストリップ28と整列して、デバイス11、12の感知域57と接続点29を電気的に接続するようになっている。外部接続部20は、ハウジング15内で接続点29に接続される。

#### 【0015】

図3aは実施例40を示しており、この実施例では、プラグ即ちフェルール43をハウジング41に対して保持するためにピン42を使っている。図3aは、ピン42に沿った切断面を示している。一方、図3bは、ファイバー25及び発光又はレセプタ域57に沿った切断面を示している。フェルール43は、図3bに示すように、端部44がバンパ45に突き合わされており、バンパ45はエラストマーシールでもよい。

#### 【0016】

ピン42は、フェルール43内の整列孔51とハウジング41内の整列孔52を通して挿入され、ピン42の端のノッチ47に保持クリップ46を挿入して定位置に固定される。フェルール43は、フェルール43と、ピン42のノッチ47がある端とは反対側の端のクリップ又はショルダ49との間に配置された負荷ばね48の張力により定位置にしっかり保持される。ピン42と孔51及び52により、図3bに示すように、ファイバー25とVCSEL11又は検出器12の発光部又はレセプタ域57との整合度はそれぞれ、プラスマイナス5ミクロンmm未満になる。

#### 【0017】

(11)

特表2003-503858

フェルール43はハウジング41に接着されていないので、必要時には、クリップ46をノッチ47から外せば、フェルール43を外すことができる。実施例40によると、チップ11、12は気密密封される。しかしながら、より費用の掛らない実施例40とすると、多層セラミックパッケージをFR4又は同等のプラスチックパッケージに代えることにより、チップ11、12を気密密封しない方式を選択することもできる。

## 【0018】

図4a及び4bに示す装置では、ファイバーアレー25と共にフェルール43をハウジング41に対して保持するピン42を1つ又はそれ以上有する。ピン42と各孔51及び52は、ファイバーアレー25とレンズ37及びチップ11、12の感知域又は発光域57とを、確実に且つ丈夫に精度よく整列させるために、ファイバーアレー25のそれぞれの側に配置される。

## 【0019】

別の実施例では、プラグ又はフェルール43は、バックプレーンの一部となっており、ハウジング41は光学要素回路板に取り付けられ、プラグ43及びハウジング41を介してバックプレーンにプラグ接続される。本発明の、ここに開示していないその他の実施例及び変型例は、特許請求の範囲に述べたことに含まれ、本発明は、特許請求の範囲に述べる範囲にのみ限定され、これと等価なもの全てを含むものである。

## 【図面の簡単な説明】

## 【図1】

図1aは光学デバイス用の気密形第1レベルパッケージ、及びそれら光学デバイスの光学的及び電氣的連結を示す図であり、ボードレベルの電気パッド及び光ファイバー双方に対して図示の第2レベルパッケージアセンブリを介して連結される状態を示す。図1bは光ファイバと光子デバイスとの間の光学的連結を示す図である。

## 【図2】

図2aはウインドウを示す図であり、金属トレース及び機械的位置合わせ機構がウインドウの上に形成される。図2bは、光子デバイスを有するハウジングを

(12)

特表2003-503858

示す図であり、その電氣的相互接続がウインドウ上の対応している相互接続と整合している様子を示す。

## 【図3】

図3 aはウインドウに隣接して配置される光学的光波ガイド又はファイバーを有するフェルール又はプラグを接続及び固定するためのピン装置を有するハウジングを示す。図3 bはウインドウに隣接して配置される光学的光波ガイド又はファイバーを有するフェルール又はプラグを接続及び固定するためのピン装置を有するハウジングを示す別の図である。

## 【図4】

図4 aはピン装置を有するプラグとハウジングの斜視図、図4 bはピン装置を有するプラグとハウジングの別の斜視図である。

## 【図1 a】

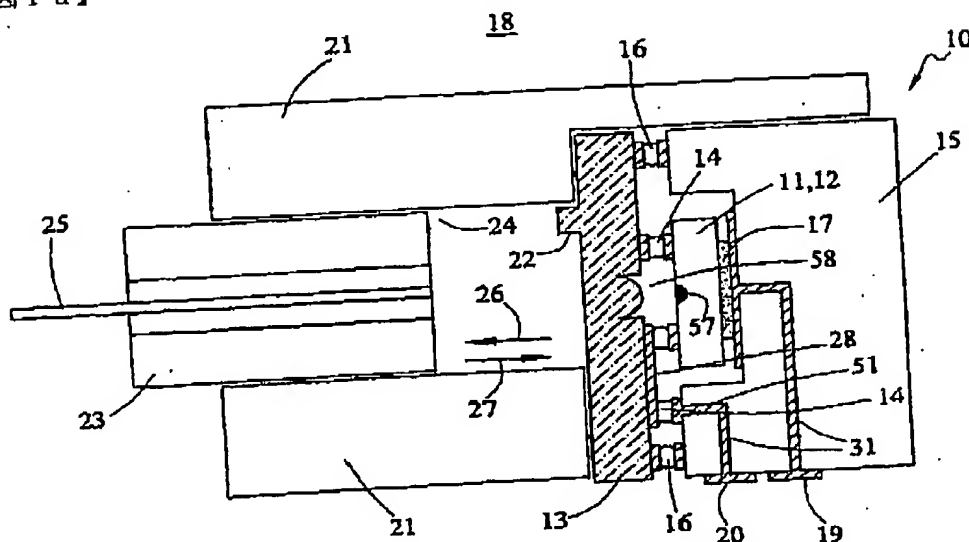


Fig. 1a

(13)

特表2003-503858

【図1b】

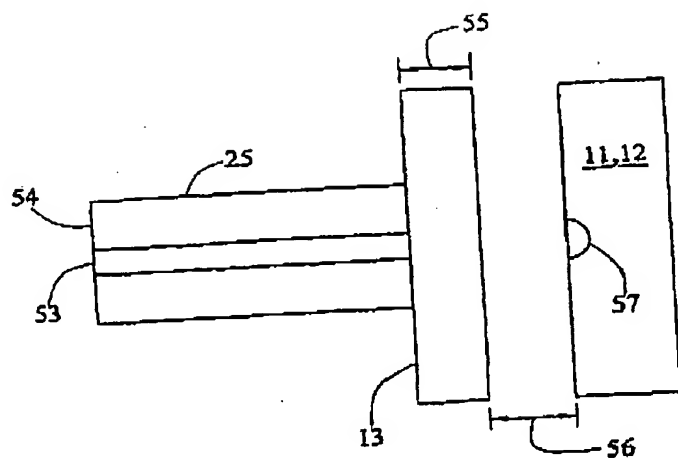


Fig. 1b

【図2a】

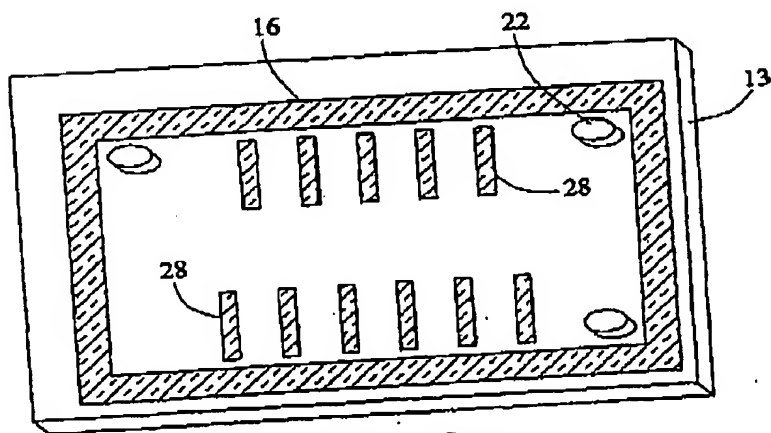


Fig. 2a

(14)

特表2003-503858

【図2b】

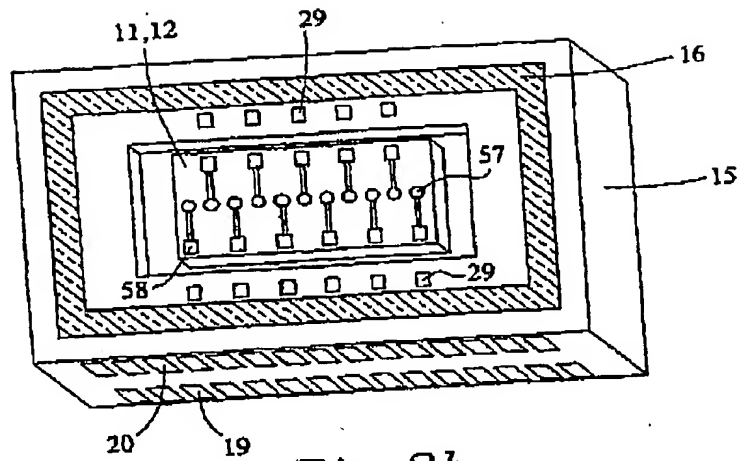


Fig. 2b

【図3a】

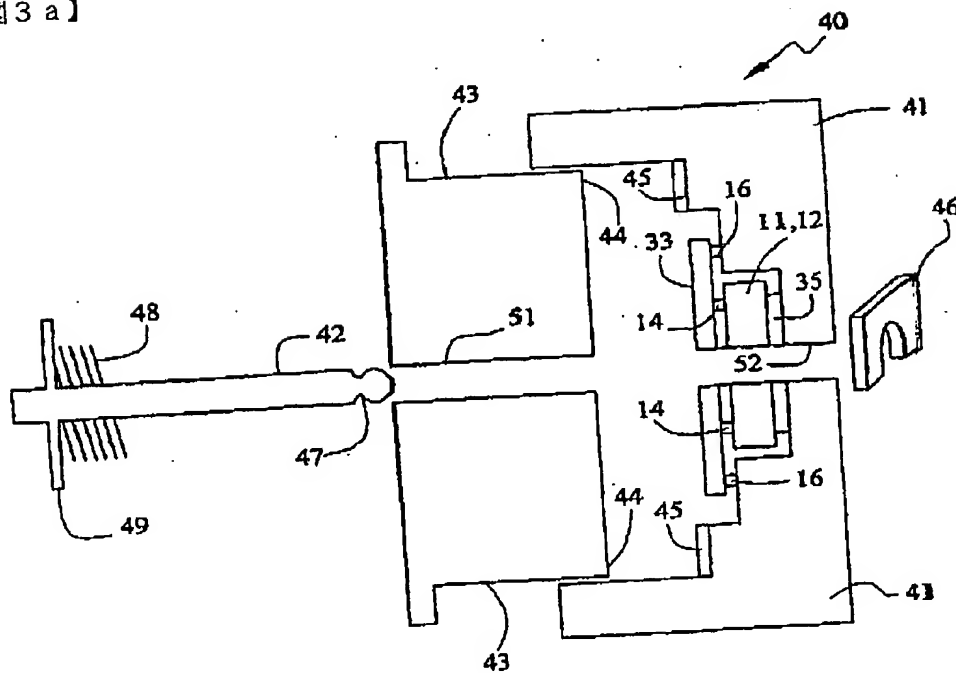


Fig. 3a



(16)

特表2003-503858

【図4b】

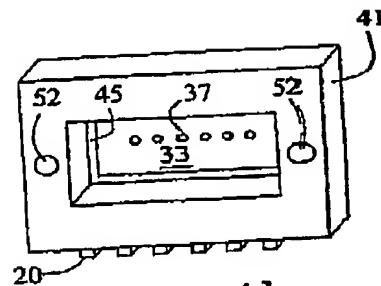


Fig. 4b



(17)

特表2003-503858

## 【手続補正書】

【提出日】平成14年1月17日(2002. 1. 17)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 ウインドウと、  
前記ウインドウに固定されたチップと、  
前記チップを覆うように前記ウインドウ上に形成されたエンクロージャと、を  
含む光子デバイス用のチップスケールパッケージ。

【請求項2】 第1のハウジングと、  
前記第1のハウジング内に取り付けられた集積回路と、  
前記第1のハウジング上に設けられたウインドウと、を備え、  
前記集積回路は少なくとも1つの光子デバイスを有しており、  
前記第1のハウジングとウインドウは、前記集積回路の周りに気密密封される  
エンクロージャを形成する気密形チップスケールパッケージ。

【請求項3】 少なくとも1つの導電性トレースが表面にパターン形成され  
た透明なウインドウと、

前記少なくとも1つの導電性トレースに接続された少なくとも1つの端子を有  
する、前記ウインドウ上に固定された半導体チップと、

前記チップを取り巻き前記ウインドウに固着されたエンクロージャと、  
前記少なくとも1つの導電性トレースから前記エンクロージャの外面上の少な  
くとも1つのパッドまでの導電路と、を含む電子デバイス用のチップスケールパ  
ッケージ。

(18)

特表2003-503858

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

Intern. Appl. No.  
PCT/US 00/18004A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 H01L31/0203 H01L33/00 //G02B6/42

According to International Patent Classification (IPC) as to both national classification and IPC

B. FIELDS SEARCHED  
Minimum documentation searched (classification system followed by classification symbols)  
IPC 7 H01L 602B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
EPO-Internal, PAJ, WPI Data, INSPEC

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category - Citation of document, with indication, where appropriate, of the relevant passages

Relevant to claim No.

X EP D 413 489 A (AMERICAN TELEPHONE & TELEGRAPH) 20 February 1991 (1991-02-20)

figures 2,3,7,10  
column 1, line 12 - line 43  
column 7, line 12 - column 8, line 43  
column 8, line 51 - column 9, line 36  
column 10, line 10 - line 16

X PATENT ABSTRACTS OF JAPAN  
vol. 1995, no. 08,  
29 September 1995 (1995-09-29)  
-A JP 07 134223 A (FUJITSU LTD).  
23 May 1995 (1995-05-23)  
abstract

1-11,  
24-27,  
31-33,  
46-52,541-6,12,  
24-27,  
31,32☒ Further documents are listed in the continuation or part C.☒ Patent family members are listed in section.

## \* Special categories of cited documents:

- \*A\* document designating the general state of the art which is not considered to be of particular relevance
- \*C\* earlier documents but published on or after the international filing date
- \*L\* document which may throw doubt on priority claim(s) or which is cited to establish the disclosure date of another claim or other special reason (as specified)
- \*O\* document relating to an oral disclosure, use, exhibition or other reference
- \*P\* documents published prior to the international filing date but later than the priority date claimed

\*T\* later document published after the international filing date or priority date and not in conflict with the applicant but cited to understand the principle or theory underlying the invention

\*X\* document of particular relevance: the claimed invention cannot be understood unless or cannot be considered to be novel in view of the step which the document is taken alone

\*Y\* document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is considered with one or more other such documents, such combination being obvious to a person skilled in the art.

\*Z\* document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

22 November 2000

06/12/2000

Name and mailing address of the ISA  
European Patent Office, P.O. Box 5518 Patenkamp 2  
NL - 2280 HV Rijswijk  
Tel: (+31-70) 340-2000, fax: (+31-70) 340-2001  
Fax: (+31-70) 340-3010

Authorized officer

Visscher, E

Form PCT/ISA/210 (patent search) (July 1999)

page 1 of 2

(19)

特表2003-503858

## INTERNATIONAL SEARCH REPORT

Intern 1st Appointed No  
PCT/US 00/18004

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		Relevant to claim No.
Category *	Citation of document, with indication, where appropriate, of the relevant passages	
X	DE 195 27 026 A (SIEMENS AG) 6 February 1997 (1997-02-06)  column 2, line 1 - line 22 column 3, line 26 - line 44	1-6, 12-14, 24,26, 31,32
X	US 5 814 870 A (SPAETH WERNER) 29 September 1998 (1998-09-29)  figure 1 column 5, line 47 - column 6, line 65	1-6, 24-26, 31,32, 34-36
X	PATENT ABSTRACTS OF JAPAN vol. 009, no. 321 (E-367), 17 December 1985 (1985-12-17) - & JP 60 153184 A (SUMITOMO DENKI KOGYO KK), 12 August 1985 (1985-08-12) abstract	1-6, 24-26, 31-37
X	PATENT ABSTRACTS OF JAPAN vol. 014, no. 362 (E-0960), 6 August 1990 (1990-08-06) - & JP 02 126685 A (SEIKO EPSON CORP.), 15 May 1990 (1990-05-15) abstract	1-6, 24-26, 31,32
A	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 03, 27 February 1998 (1998-02-27) - & JP 09 289330 A (NEC CORP.), 4 November 1997 (1997-11-04) abstract	1,12,24, 31

Form PCT/ISA/210 (with indication of second phase) (July 1999)

page 2 of 2

(20)

特表2003-503858

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.  
PCT/US 00/18004

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0413489 A	20-02-1991	US 4995695 A DE 69032033 D DE 69032033 T JP 2511563 B JP 3096510 A	26-02-1991 19-03-1998 28-05-1998 26-06-1996 19-04-1991
JP 07134223 A	23-05-1995	NONE	
DE 19527026 A	06-02-1997	WO 9704491 A EP 0842543 A JP 11509687 T	06-02-1997 20-05-1998 24-08-1999
US 5814870 A	29-09-1998	DE 19600306 C EP 0783183 A JP 2991983 B JP 9199626 A	10-04-1997 09-07-1997 20-12-1999 31-07-1997
JP 60153184 A	12-08-1985	NONE	
JP 02126685 A	15-05-1990	NONE	
JP 09289330 A	04-11-1997	NONE	

Form PCT/ISA/210 (patent family annex) July 2002

(21)

特表2003-503858

フロントページの続き

(81)指定国 EP(AT, BE, CH, CY,  
DE, DK, ES, FI, FR, GB, GR, IE, I  
T, LU, MC, NL, PT, SE), OA(BF, BJ  
CF, CG, CI, CM, GA, GN, GW, ML,  
MR, NE, SN, TD, TG), AP(GH, GM, K  
E, LS, MW, MZ, SD, SL, SZ, TZ, UG  
ZW), EA(AM, AZ, BY, KG, KZ, MD,  
RU, TJ, TM), AL, AM, AT, AU, AZ,  
BA, BB, BG, BR, BY, CA, CH, CN, C  
U, CZ, DE, DK, EE, ES, FI, GB, GE  
GH, GM, HU, ID, IL, IN, IS, JP,  
KE, KG, KP, KR, KZ, LC, LK, LR, L  
S, LT, LU, LV, MD, MG, MK, MN, MW  
MX, NO, NZ, PL, PT, RO, RU, SD,  
SE, SG, SI, SK, SL, TJ, TM, TR, T  
T, UA, UG, UZ, VN, YU, ZW

JP

P2003-503858

## Abstract

A package having one or more integrated circuit photonic devices in a hermetically sealed enclosure. The photonic devices may be sources or detectors of light. The sealed enclosure consists of a transparent window attached to a first level housing. The transparent window contains patterned electrically conductive traces for purposes of routing electrical signals to and from semiconductor chip, which is bonded to patterned window. A second level housing is attached to the first level housing, and aligned via mechanical features incorporated with the transparent window. The second level housing provides a receptacle for a plug having light waveguides or optical fibers that are aligned with the photonic devices when inserted through the plug receptacle. One or more pins are inserted through the plug and the second level housing to secure the plug in the receptacle to the hermetically sealed photonic devices, such as VCSEL's on an integrated circuit semiconductor.